

第7回　2000年代始め，ベンダはIEEE Std 1364-2001のサポートに消極的

明石貴昭

1990年代，ユーザはHDLシミュレータに性能向上を求めていました．その一方で，ハードウェア・アクセラレータ（シミュレーション・アルゴリズムをハードウェア化した専用コンピュータ）や論理エミュレータ（所望の論理を多数のFPGAに展開するプロトタイピング装置）による高速化も脚光を浴びていました．

ところでみなさんはVerilog-XLにハードウェア・アクセラレータ製品があったことをご存じですか？ その製品は「Verilog-XLProcessor（通称XLP）」と呼ばれ，Verilog-XLの開発者である Philip R. Moorby氏が米国Cadence Design Systems社で最後に手がけた製品でした．XLPは当時，米国Sun Microsystems社のワークステーションの標準バスだったトリプルハイトVMEサイズ2枚で構成され，Sun4/470などに組み込み可能でした．使いかたも，+xlpオプションを付けるとハードウェアXLエンジンに切り替わるというシンプルで使いやすいものでした．

しかし，XLPはほとんど出荷されませんでした．それまでVerilog-XL比で10倍高速だった製品が，SPARCstation 10の登場とともに5倍になり，商品価値を失ったからです．かなりの熱を放出していたことから，筆者ら内部のエンジニアの間では「ストーブ」と呼ばれていたことを憶えています．

● 隠れた業界標準ツールが言語の整合性の維持に貢献

最後にEDAツールのネタを一つ．起業したばかりのEDAベンチャが比較的早い時期にVerilog HDLなどに対応したツールをリリースしています．Verilog HDLのパーサ（字句・構文解析ソフトウェア）をまともに作るだけでも膨大な人員と期間が必要になるのに，なぜ早期にツールをリリースできるのでしょうか？

じつはEDA業界の中には，EDAベンダのためにツールの一部の機能を供給する企業があるのです．Verilog HDLやVHDLのれい明期に米国Cad Language Systems社（CLSI）がツール・キットを販売していましたが，現在もHDLやHDLのパーサなどを販売する会社が存在します．その中でも有名なのが米国Interra社です．同社のパーサはみなさんが現在使用している多くのEDAベンチャのツールに採用されています．これが業界標準になっているからこそ，ツール間の言語の整合性が取れているのです．

● SystemVerilogの登場がVerilog 2001のサポートを後押し

ツールの話はこのくらいにして，言語の標準化に話題を戻します．IEEEは基本的に5年ごとに改定するというルールがあり，Verilog HDLもVHDLも約5年周期で改定されています．VHDLは1987年の規格化の後，1993年，2000年，2000年を少し変更した2002年というぐあいに改定されています．一方，Verilog HDLは2000年の改定を目指していたのですが，最終的には2001年に改定されました．

IEEE Std 1364-1995は，米国Gateway Design Automation社が定義したVerilog HDLとPLI（Programming Language Interface）1.0そのものでした．これに対して2001年の改定はユーザの意見を強く反映したものになりました．まず，VHDLにあってVerilog HDLになかったもの，例えば`signed/unsigned`，`generate`，`config`などが追加されています．予約語だけで言えば，21語が追加されました．また，Verilog-XLに依存したPLI 1.0を嫌うユーザにより，PLI 2.0が定義されました．PLI 2.0は関数名が`vpi_`で始まることから，通称「VPI（Verilog Programming Interface）」と呼ばれています．関数が煩雑なPLI 1.0と異なり，PLI 2.0では37関数に絞られました．

IEEE Std 1364-2001にはユーザの意見は取り入れられたのですが，EDAベンダの意見はあまり取り入れられませんでした．そのためもあってか，EDAベンダはIEEE Std 1364-2001のサポートに消極的でした．`signed/unsigned`や`` `ifndef ``のように明らかに有用なものはサポートしましたが，すべての言語仕様をサポートするツールはなかなか現れませんでした．

SystemVerilog/Verilog HDLのコンサルタントで，AccelleraとIEEE 1364&1800 WGのメンバである米国Sunburst Design社 CEOのCliff Cummings氏はこの状況を嘆き，毎年DVCon（HDL関連の技術会議）で主要なシミュレータのIEEE Std 1364-2001サポートの一覧表を公開し，「少し良くなった．もっとがんばれ！」とハッパをかけ続けています．

幸いSystemVerilogはIEEE Std 1364-2001の完全上位互換となるため，SystemVerilogを実装するためにはIEEE Std 1364-2001のサポートを避けて通れません．そのため，最近になって各EDAベンダがIEEE Std 1364-2001のサポート範囲を急速に拡大しています．

<筆者プロフィール>

明石貴昭．ケイデンス・デザイン・システムズ入社後，Verilog-XL，NC-Simシミュレータなどを担当．現在，日本シノプシスにて論理検証プラットホームDiscoveryやSystemVerilog関連のしごとに従事している．旧EIAJ（現JEITA）1364-1995プロジェクトに参加し，現在はJEITA/EDA技術専門委員会SystemVerilogタスクグループの副主査として，SystemVerilogの標準化に携わっている．

訂正 本コラム第6回（2005年3月号，p.143）の社名に誤りがありました．左段，23行目の「CoverMeter社」は「Advanced Technology Center社」の誤りです．お詫びして訂正いたします．